

P24596.P04

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Masahiro NAKATA et al.

Serial No. : Not Yet Assigned

Filed : Concurrently Herewith

For : FOCUS DETECTION DEVICE


**CLAIM OF PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

Applicant hereby claims the right of priority granted pursuant to 35 U.S.C. 119 based upon Japanese Application No. 2003-40202, filed February 18, 2003. As required by 37 C.F.R. 1.55, a certified copy of the Japanese application is being submitted herewith.

Respectfully submitted,  
Masahiro NAKATA et al.

  
Bruce H. Bernstein  
Reg. No. 29,027

*Reg No 33,329*

February 17, 2004  
GREENBLUM & BERNSTEIN, P.L.C.  
1950 Roland Clarke Place  
Reston, VA 20191  
(703) 716-1191



US-1223 HI

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 1 8 日  
Date of Application:

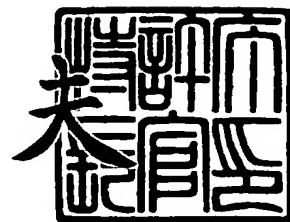
出 願 番 号            特 願 2 0 0 3 - 0 4 0 2 0 2  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 4 0 2 0 2 ]

出      願      人            ペンタックス株式会社  
Applicant(s):

2 0 0 3 年 1 1 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 9 5 5 1 0

【書類名】 特許願

【整理番号】 P5077

【あて先】 特許庁長官殿

【国際特許分類】 G02B 7/28  
G03B 3/00

【発明者】

【住所又は居所】 東京都板橋区前野町 2 丁目 3 6 番 9 号 ペンタックス株式会社内

【氏名】 中田 昌広

【発明者】

【住所又は居所】 東京都板橋区前野町 2 丁目 3 6 番 9 号 ペンタックス株式会社内

【氏名】 堀田 智

【特許出願人】

【識別番号】 000000527

【氏名又は名称】 ペンタックス株式会社

【代理人】

【識別番号】 100083286

【弁理士】

【氏名又は名称】 三浦 邦夫

【選任した代理人】

【識別番号】 100120204

【弁理士】

【氏名又は名称】 平山 巖

【手数料の表示】

【予納台帳番号】 001971

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704590

【包括委任状番号】 0301076

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 焦点検出素子

【特許請求の範囲】

【請求項 1】 複数のラインセンサと、

各ラインセンサに隣接して設けられ、隣接したラインセンサの受光量をモニタするモニタセンサと、

これらのラインセンサおよびモニタセンサを、任意の組み合わせで駆動制御する制御手段とを同一の回路基板上に備えたことを特徴とする焦点検出素子。

【請求項 2】 前記制御手段は、使用するラインセンサおよびモニタセンサの組み合わせを、外部から入力した信号により選択する請求項 1 記載の焦点検出素子。

【請求項 3】 前記使用するラインセンサおよびモニタセンサの組み合わせに関する複数のモードを記憶したロジックを備え、前記制御手段は、前記モードを指定する信号を外部から入力してそのモードによるラインセンサおよびモニタセンサの組み合わせで駆動制御する請求項 1 記載の焦点検出素子。

【請求項 4】 前記各ラインセンサは基準および参照に識別されるセンサ領域を有し、各基準および参照センサ領域がさらに複数の領域に識別され、かつ各基準領域毎にモニタセンサが設けられていて、前記制御手段は、前記モニタセンサを前記各領域単位で駆動制御する請求項 1 から 3 のいずれか一項記載の焦点検出素子。

【請求項 5】 前記制御手段は、前記選択したモニタセンサの出力に基づいて前記対応する基準領域を含むラインセンサの積分停止を制御する請求項 1 から 4 のいずれか一項記載の焦点検出素子。

【請求項 6】 前記焦点検出素子はカメラの焦点検出モジュールに組み込まれている請求項 1 記載の焦点検出素子。

【請求項 7】 前記前記制御手段は、カメラボディの制御手段から送信された指令に基づいて、使用するモニタセンサおよびラインセンサを選択して駆動制御をする請求項 6 記載の焦点検出素子。

【請求項 8】 使用するモニタセンサの組み合わせをモードとして異なる組

み合わせのモードが複数記憶された記憶手段を備え、前記制御手段は、カメラボディの制御手段から送信された前記モードを指定する信号に対応するモードを前記記憶手段に記憶したモードの中から選択し、該選択したモードに基づいて対応するラインセンサおよびモニタセンサの駆動制御をする請求項 1 記載の焦点検出素子。

【発明の詳細な説明】

【0001】

【発明の技術分野】

本発明は、カメラの焦点検出装置に適した焦点検出素子に関する。

【0002】

【従来技術およびその問題点】

従来の A F 一眼レフカメラに搭載されている位相差方式の C C D 焦点検出素子は、撮影光学系と焦点検出エリアに対応したラインセンサおよびモニタセンサを備えている。

しかし従来の C C D 焦点検出素子は、撮影光学系または焦点検出エリアが変わると、撮影光学系および焦点検出エリアに応じて、ラインセンサおよびモニタセンサの配置を設定した新たな C C D 焦点検出センサを開発する必要があった。

【0003】

【発明の目的】

本発明は、前記従来の問題に鑑みてなされたもので、一種類で複数の光学系に対応させることができる焦点検出素子を提供することを目的とする。

【0004】

【発明の概要】

この目的を達成する本発明の焦点検出用素子は、複数のラインセンサと、各ラインセンサに隣接して設けられ、隣接したラインセンサの受光量をモニタするモニタセンサと、これらのラインセンサおよびモニタセンサを、任意の組み合わせで駆動制御する制御手段とを同一の回路基板上に設けたことに特徴を有する。

この構成によれば、使用するラインセンサおよびモニタセンサの組み合わせを任意に選択できるので、異なる光学機器、光学系に対しても使用することが可能

になる。

#### 【0005】

好ましい実施形態では、使用するラインセンサおよびモニタセンサの組み合わせを、外部から入力した信号により選択する構成とする。

さらに好ましい実施形態では、使用するラインセンサおよびモニタセンサの組み合わせに関する複数のモードを記憶したロジックを備え、モードを指定する信号を外部から入力してそのモードによるラインセンサおよびモニタセンサの組み合わせで駆動制御する構成とする。

この構成によれば、この撮像素子を搭載する光学機器の制御手段によって使用するラインセンサおよびモニタセンサの組み合わせを設定できる。

#### 【0006】

前記各ラインセンサは基準および参照に識別されるセンサ領域を有し、各基準および参照センサ領域がさらに複数の領域に識別され、かつ各基準領域毎にモニタセンサが設けられていて、前記制御手段は、前記モニタセンサを前記各領域単位で駆動制御する。

また前記制御手段は、前記選択したモニタセンサの出力に基づいて前記対応する基準領域を含むラインセンサの積分停止を制御する。

#### 【0007】

##### 【発明の実施の形態】

以下図面に基づいて本発明を説明する。図1は、本発明のCCD焦点検出素子を搭載する一眼レフカメラの概要をブロックで示す図である。

#### 【0008】

このAF一眼レフカメラは、焦点検出用素子としてCCD焦点検出素子61を備えたAFモジュール（焦点検出モジュール）60を内蔵したカメラボディ11と、このカメラボディ11に着脱可能なAF対応の撮影レンズ51とを備えている。カメラボディ11は、カメラボディ11および撮影レンズ51を総括的に制御するメインCPU31を備えている。

#### 【0009】

撮影レンズ51からカメラボディ11内に入射した被写体光束は、大部分がメ

インミラー 13 により、ファインダ光学系を構成するペンタプリズム 17 に向かって反射され、ペンタプリズム 17 で反射されてアイピースから射出する。ペンタプリズム 17 から射出された被写体光束の一部は測光用 IC 18 の受光素子に入射する。一方、メインミラー 13 の中央部に形成されたハーフミラー部 14 に入射した光束の一部はハーフミラー部 14 を透過し、メインミラー 13 の背面に設けられたサブミラー 15 により下方に反射され、AF モジュール 60 に入射する。

#### 【0010】

測光用 IC 18 は、受光量に応じて光電変換した電気信号を、周辺部制御用回路 21 を介してメイン CPU 31 に測光信号として入力する。メイン CPU 31 は、測光信号およびフィルム感度情報等に基づいて所定の露出演算を実行し、露出用の適正シャッタ速度および絞り値を算出する。そして、これらのシャッタ速度および絞り値に基づいて絞り機構 22 および露光機構 23 を駆動してフィルムに露光する。さらに周辺部制御用回路 21 は、撮影処理に際し、モータドライブ回路（モータ IC）24 を介してミラーモータ 25 を駆動してメインミラー 13 をアップし、露光終了後にはミラーモータ 25 を駆動してメインミラー 13 をダウンし、フィルム巻上モータ 26 を駆動してフィルムを 1 コマ分巻き上げる。

#### 【0011】

AF モジュール 60 は、いわゆる瞳分割位相差方式であって、複数の CC ラインセンサを有する CCD 焦点検出素子 61 と、図示しないが AF 光学系として、撮像面と等価な焦点検出面において、複数の焦点検出エリア内に被写体像を形成する被写体光束を二分割に瞳分割して、対応するラインセンサ上に投影する光学系を備えている。CCD 焦点検出素子 61 は、いわゆる瞳分割された一对の被写体光束をそれぞれ受光して積分する複数列のラインセンサ I と、各ラインセンサ I の受光光量をモニタ、つまり積分値をチェックするモニタセンサ M を備えている。各ラインセンサ I およびモニタセンサ M は、CCD 焦点検出素子 61 が備えた制御回路系により駆動制御される。制御回路系は、モニタセンサ M のモニタ電圧（出力電圧）が所定の閾値に達すると、そのモニタセンサ M に対応するラインセンサ I の積分を終了させる。そして、全てのラインセンサ I の積分を終了させ



ると、ラインセンサ I が積分した電荷を、ラインセンサ毎に画素単位で逐一電圧に変換し、画素単位のビデオ信号として、メイン CPU 31 へ出力する。

#### 【0012】

メイン CPU 31 は、AF モジュール 60 (CCD 焦点検出素子 61) から入力した画像信号に基づいて所定の演算によりデフォーカス量を算出し、算出したデフォーカス量に基づいて AF モータ 33 の回転方向および回転数 (エンコーダ 37 が出力するパルス数) をレンズ駆動量として算出する。そしてメイン CPU 31 は、その回転方向およびパルス数に基づき、AF モータドライバ 32 を介して AF モータ 33 を駆動する。この駆動に際してメイン CPU 31 は、AF モータ 33 の回転に連動してエンコーダ 37 が出力するパルスをカウンタ 31 d によりカウントし、カウント値が上記パルス数に達したら AF モータ 33 を停止させる。

#### 【0013】

一方、撮影レンズ 51 には、レンズ CPU 57 と、焦点調節用レンズ 52 を光軸方向に駆動するギアブロック 53 と、撮影レンズ 51 のマウント部に設けられた、カメラボディ 11 のジョイント 35 と着脱自在に連結するジョイント 55 を備えている。AF モータ 33 の回転は、ギアブロック 34、ジョイント 35、55 を介してギアブロック 53 に伝達され、ギアブロック 53 を介して焦点調節用レンズ群 52 を進退移動させる。

#### 【0014】

またメイン CPU 31 は、制御プログラム等をメモリした ROM 31 a、演算用、制御用の所定のデータを一時的にメモリする RAM 31 b、計時用のタイマー 31 c、カウンタ 31 d、AF モジュール 60 (CCD 焦点検出素子 61) から入力した VOUT 信号 (画像信号 / Video 信号) を A / D 変換する A / D 変換器 31 e、VMS 信号を D / A 変換して出力する D / A 変換器 31 f を内蔵し、EEPROM 38 が外部メモリ手段として接続されている。この EEPROM 38 には、カメラボディ 11 特有の各種定数、CCD 焦点検出素子 61 が使用するモニタセンサ M、ラインセンサ I に関するモードデータなどがメモリされている。

**【0015】**

さらにメインCPU31には、電源をオン／オフするメインスイッチSWM、自動焦点制御とマニュアル焦点制御とを切替える自動焦点スイッチSWAF、リリース釦の半押しから全押しの間オンする測光スイッチSWSおよび同リリース釦の全押しでオンするリリーススイッチSWRが接続されている。

**【0016】**

測光スイッチSWSがオンすると、メインCPU31は、周辺部制御用回路21を介して測光IC18を起動し、被写体輝度を測定して露出演算を実行するとともに、AFモジュール60を起動して所定のラインセンサから積分信号を入力し、デフォーカス量を演算し、デフォーカス量に基づいてレンズ駆動量を演算し、演算したレンズ駆動量だけAFモータ33を駆動する。

**【0017】**

メインCPU31は、設定されたAF、露出、撮影などのモード、シャッタ速度、絞り値などを表示器39に表示する。表示器39は、通常、カメラボディ11の外面およびファインダ視野内の2ヶ所に設けられた表示パネルを含む。

**【0018】**

レンズCPU57は、電気接点群56、36の接続を介してカメラボディ11の周辺部制御用回路21と接続されていて、この周辺部制御用回路21を介してメインCPU31との間で、開放、最大F値情報、焦点距離情報、レンズ位置（距離）情報などの所定のデータ通信を行う。

**【0019】**

次に、この一眼レフカメラに搭載した、CCD焦点検出素子61の詳細について、さらに図2を参照して説明する。図2は、CCD焦点検出素子61の受光面61a上のラインセンサIおよびモニタセンサMの配列の実施形態を示す図である。この実施形態は、ラインセンサIおよびモニタセンサMからなるセンサセットを複数備えていて、かつCCD焦点検出素子61の制御回路71によって任意の組み合わせで駆動制御ができる構成である。

**【0020】**

受光面61a上にはラインセンサIとして、中央に、横方向に延びる3列の横

ラインセンサ I1、I2、I3が互いに上下方向に所定間隔で平行に配置され、これらのI1、I2、I3を上下に挟んで縦方向に延びる7列の縦ラインセンサ I4、I5、I6、I7、I8、I9、I10が互いに横方向に所定間隔で平行に配置されている。この実施形態のラインセンサは、いわゆるCCDラインセンサであって、長手方向に多数の受光素子が配置されている。

#### 【0021】

横ラインセンサ I1～I3は、受光面 61a の中央より左半部が基準の領域である基準ブロック（基準ラインセンサ I1a～I3a）として識別され、右半分が参照の領域である参照ブロック（参照ラインセンサ I1b～I3b）として識別される。

#### 【0022】

各横ラインセンサ I1～I3は、それぞれの基準ラインセンサ I1a～I3a、参照ラインセンサ I1b～I3bがそれぞれ4個の領域（I1-1a～I1-4a）～（I3-1a～I3-4a）、領域（I1-1b～I1-4b）～（I3-1b～I3-4b）に識別され、各基準ラインセンサ I1a～I4aの各領域（I1-1a～I1-4a）～（I3-1a～I3-4a）に隣接してモニタセンサ（M1-1、M1-2、M1-3、M1-4）～（M3-1、M3-2、M3-3、M3-4）が配置されている。

これらの各モニタセンサ（M1-1～M1-4）～（M3-1、M3-4）は独立して動作し、隣接する基準ラインセンサ I1a～I4aの各領域（I1-1a、I1-4a）～（I4-1a、I4-4a）の受光量をモニタする。

#### 【0023】

各縦ラインセンサ I4、I5、I6、I7、I8、I9、I10は、横ラインセンサ I1、I2、I3の上方に位置するものが基準ブロック（基準ラインセンサ I4a～I10a）として識別され、下方に位置するものが参照ブロック（参照ラインセンサ I4b～I10b）として識別される。

#### 【0024】

各縦ラインセンサ I4～I10は、それぞれの各基準ラインセンサ I4a～I10a、参照ラインセンサ I4b～I10bが長手方向を二分割する2個の基準領域（I4-1a、I4-2a）～（I10-1a、I10-2a）、参照領域（I4-1b、I4-2b）～（I10-1b、I10-2b）に識別され、各基準ラインセンサ I4a～I10aの基準領域（I4-1a、

I 4-2a) ~ (I 10-1a、I 10-2a) に隣接してモニタセンサ (M4-1、M4-2) ~ (M10-1、M10-2) が配置されている。

これらの各モニタセンサ (M4-1、M4-2) ~ (M10-1、M10-2) は独立して動作し、隣接する基準ラインセンサ I 4a ~ I 10a の各基準領域 (I 4-1a、I 4-2a) ~ (I 10-1a、I 10-2a) の受光量をモニタする。

#### 【0025】

このように構成された各ラインセンサ I 1 ~ I 10 は、複数の測距ゾーンについて瞳分割された各一对の被写体光束のうち、一方を基準ラインセンサ I 1a ~ I 10a で受光し、他方を参照ラインセンサ I 1b ~ I 10a で受光するように使用される。

#### 【0026】

さらに CCD 焦点検出素子 61 は、各ラインセンサ I 1 ~ I 10 にモニタセンサ M と反対側に隣接して平行に配置され、各ラインセンサ I 1 ~ I 10 が蓄積した電荷がラインセンサ I 1 ~ I 10 単位で転送されるシフトレジスタ 62、63、64、621 ~ 623、634 ~ 6310、644 ~ 6410 を備えている。各ラインセンサ I 1 ~ I 10 が蓄積した電荷は、積分終了時に各ラインセンサ I 1 ~ I 10 毎に、図示しないが ST 部に保持される。

#### 【0027】

全てのラインセンサ I 1 ~ I 10 の積分が終了すると、シフトレジスタ 62、63、64 を経由して、電荷検出部 65 からシリアルに読み出される。シフトレジスタ 62 は直接電荷検出部 65 に、シフトレジスタ 63 はシフトレジスタ 62 と合流して電荷検出部 65 に接続されている。

なお、本実施例において、縦ラインセンサ I 4 ~ I 10 は、基準ラインセンサ I 4a ~ I 10a の電荷はシフトレジスタ 63 により、参照ラインセンサ I 4b ~ I 10b の電荷はシフトレジスタ 64 によって電荷検出部 65 まで転送される。

#### 【0028】

図 3 には、この CCD 焦点検出素子 61 の基板上に形成された制御回路系の要部をブロックで示した。CCD 焦点検出素子 61 の動作は、この基板上に形成された制御回路 71 によって制御される。この CCD 焦点検出素子 61 は、この制御回路系によって、使用するラインセンサ I およびモニタセンサ M の選択が可能

なことに特徴を有する。制御回路 71 は、メイン CPU 31 から指示を受けて動作する。この実施形態の CCD 焦点検出素子 61 は、メイン CPU 31 からのコマンドによって指定されたラインセンサ I とモニタセンサ M を制御回路 71 が選択し、制御する。

#### 【0029】

次にこの CCD 焦点検出素子 61 の構成について説明するが、各ラインセンサ I およびモニタセンサ M の基本的な動作は同一なので、ラインセンサ I およびモニタセンサ M の具体的な動作は、ラインセンサ I1 (I1-1~I1-4) および対応するモニタセンサ M1 (M1-1~M1-4) に関して説明する。

#### 【0030】

制御回路 71 は、積分を開始するときは、その直前に、ラインセンサ I1 をいわゆる掃き出し駆動して各画素 (フォトダイオード) が蓄積した電荷を掃き出し、各画素単位で積分 (電荷蓄積) を開始する。同時にモニタセンサ M1-1~M1-4 もクリアして、モニタセンサ M1-1~M1-4 による受光量モニタを開始する。各モニタセンサ M の出力電圧は、バッファを介してオートゲインコントローラ AGC で積分時間を制御する。各オートゲインコントローラ AGC は、メイン CPU 31 から出力される VMS 信号によって制御される。

#### 【0031】

オートゲインコントローラ AGC から出力されるモニタ信号は、制御回路 71 およびモニタ出力選択回路 72 に入力される。制御回路 71 は、各モニタ信号が所定の積分終了閾値 (積分終了値) に達したことを検知する検知手段としてのロジック (例えばオペアンプ) を内蔵し、いずれかのロジックの出力が変化したときに、選択回路 73 を介して積分 OR 信号 (第一の終了信号) をポート TINT に出力する。このポート TINT に出力された信号によりメイン CPU 31 は、いずれかのラインセンサ I が積分終了したことを検知する。本実施例において制御回路 71 は、前記いずれかのロジックがハイレベルからローレベルに落ちたときに、選択回路 73 に出力している積分 OR 信号をハイレベルからローレベルに落とす。なお、積分 OR 信号は、積分開始時はハイレベル信号である。

#### 【0032】

制御回路 71 は、前記ロジックの出力が変化したとき、つまりモニタ信号が所定の閾値に達したときにそのモニタセンサ M に対応するラインセンサ I の積分を終了させる。積分の終了処理は、対応するラインセンサ I 1 ~ I 10 の S T 部への電荷の蓄積を終了する。

#### 【0033】

また、モニタ出力選択回路 72 に入力されたモニタセンサ M のモニタ信号は、一つずつ出力選択回路 70 に出力され、出力選択回路 70 を経由してポート V O U T から出力される。

#### 【0034】

メイン C P U 31 は、モニタセンサ M を指定する D A T A 信号を C C D 焦点検出素子 61 に出力する。C C D 焦点検出素子 61 の制御回路 71 は、メイン C P U 31 から指定されたモニタセンサ M のモニタ信号を、モニタ出力選択回路 72 で選択し、出力選択回路 70 を介して V O U T 信号としてメイン C P U 31 に出力する。同時に制御回路 71 は、積分 A N D 信号を、選択回路 74 を介してポート S P から出力し、この積分 A N D 信号をメイン C P U 31 はポート T R I G から入力し、“L” レベルになるまで入力したモニタ信号を A / D 変換する。

メイン C P U 31 は、入力したモニタセンサ M のモニタ信号を A / D 変換し、積分時間予測やゲイン (Gain) 設定に利用する。

#### 【0035】

この実施形態の C C D 焦点検出素子 61 は、積分開始後、モニタ出力選択回路 72 から択一的にモニタ信号を出力選択回路 70 から V O U T 信号として出力する。全てのモニタセンサ M のモニタ信号が所定の閾値に達するか所定時間（最長積分時間）が経過するかいずれか早いときの後、つまり全ての C C D ラインセンサ I の積分が終了したまたは強制終了させた後は、C C D ラインセンサ I から読み出した画像信号 (Video 信号) を出力選択回路 70 を介してポート V O U T から V O U T 信号として出力する。

#### 【0036】

制御回路 71 は、所定時間内に全てのモニタセンサ M のモニタ信号が閾値に達したことを検知したときは、選択回路 74 を介して積分 A N D 信号（第二の終了

信号) をポート S P からメイン C P U 3 1 に出力する。全てのモニタセンサ M のモニタ信号が閾値に達する前に所定時間が経過したときは、制御回路 7 1 はモニタ信号が閾値に達していない全てのモニタセンサ M に対応するラインセンサ I の積分を終了させて、積分 A N D 信号 ( 第二の終了信号 ) を選択回路 7 3 を介してポート S P からメイン C P U 3 1 に出力する。

#### 【 0 0 3 7 】

全てのラインセンサ I の積分が終了したら、各ラインセンサ I 1、I 2、I 3、I 4 ~ I 10 の単位で、シフトレジスタ 6 2、6 3、6 4 を介して、ラインセンサ I 1 ~ I 10 およびその画素単位で電荷を逐次転送し、電荷検出部 6 5 で電圧信号に変換して出力する。

#### 【 0 0 3 8 】

電荷単位の電圧信号を、アンプ ( Gain AMP ) 6 6 で増幅してから、サンプルホールド回路 ( S / H ) 6 7、クランプ回路 6 8 で O B 電圧をクランプし、バッファ 6 9 から、出力選択回路 7 0 を介してポート V O U T から V O U T 信号 ( ビデオ信号 ) として出力する。メイン C P U 3 1 は、ポート A / D から入力する。メイン C P U 3 1 は、入力した V O U T 信号を画素単位で、内蔵の A / D 変換器 3 1 e によりデジタル信号に変換し、内蔵の R A M 3 1 b に順にメモリする。

#### 【 0 0 3 9 】

以上のモニタ、積分および読み出し処理を、全てのモニタセンサ M およびラインセンサ I について実行できるが、この実施形態は、実行するラインセンサ I およびモニタセンサ M のセットを任意に選択し、組み合わせることが可能である。つまり、組み合わせたラインセンサ I およびモニタセンサ M のセットについてのみ、モニタ、積分および読み出し処理を実行できる。

#### 【 0 0 4 0 】

図 4 には、メイン C P U 3 1 と C C D 焦点検出素子 6 1 のポートと送受信する信号の関係を示した。矢印方向に信号が送信される。

#### 【 0 0 4 1 】

メイン C P U 3 1	C C D 焦点検出素子 6 1
チップイネーブル信号 C E	I S T

シリアルクロック    SCK            RST  
データ信号            SO            DATA

## 【0042】

メインCPU31    CCD焦点検出素子61  
ゲイン設定信号    D/A            VMS

## 【0043】

メインCPU31    CCD焦点検出素子61  
SI            TINT    積分OR信号／積分終了情報  
(第一のモニタ出力端子)

積分OR信号    積分中はハイレベル

いずれかのモニタセンサMが積分終了したときに、ハイからローに落ちて、選択回路73が積分終了情報出力に切り替わる。その後メインCPU31は、他のモニタセンサMの積分終了情報をチェックして他のモニタセンサMの積分時間を計測する。積分終了情への切替えは、ISTが通信許可したときである。

## 【0044】

メインCPU31    CCD焦点検出素子61  
TRIG            SP    積分AND信号  
(第二のモニタ出力端子)

積分AND (全積分終了) 信号    積分中はハイレベル

全てのモニタセンサMが積分終了したときにハイからローに落ちて、選択回路74がA/D同期信号出力に切り替わる。

## 【0045】

メインCPU31    CCD焦点検出素子61  
A/D            VOUT    ラインセンサ画像信号

## 【0046】

次に、図5～図7に示したタイミングチャートに従って、このメインCPU31とCCD焦点検出素子61の動作について説明する。

図5は、メインCPU31が制御回路71に通信する、メインCPU31、制御回路71間における通信設定に関するタイミングチャートである。



メインCPU31は、通信を開始するときに、ポートCEを立ち下げて、ポートISTにローレベルのチップイネーブル信号ISTを出力する。制御回路71は、ポートISTのレベルがローレベルに落ちると通信状態に移行し、ローレベルの間、通信可能状態を維持する。

#### 【0047】

次にメインCPU31は、ポートSCKからクロックパルスを出力する。

制御回路71は、クロックパルスをポートRSTから入力し、入力したクロックパルスに同期して通信設定処理を開始する。

#### 【0048】

さらにメインCPU31は、ポートSCKのクロックパルスに同期して、ポートSOから16ビット分のデータを出力する。

制御回路71は、16ビット分のデータをポートDATAから入力し、入力した16ビット分のデータに基づいて、各制御、パラメータを設定する。

#### 【0049】

表1に、この通信設定によって送受信される16ビット分のデータの内容の一実施例である制御コードおよび制御パラメータの実施例を示した。この実施例は、16ビット中、1～3ビットが制御コード番号を表し、4～16ビットが制御パラメータを表している。制御コード番号0は積分終了情報(AGC=26)を、制御コード番号1、2はAGC自動終了個別禁止設定を、制御コード番号4は読み出しライン選択、転送速度、ゲイン設定を、制御コード番号5は積分開始／終了、AGC選択、出力するモニタM選択、AGC自動終了全禁止設定を、制御コード番号7はロジックリセット(デフォルト設定)をそれぞれ指定している。

#### 【0050】

【表 1】

制御コード				制御パラメータ																内容
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16				
0	1	1	1														積分終了情報 (AGC =26)			
1	0	1	1	AGC 自動終了禁止設定 1													AGC 自動終了個別禁止設定			
2	1	0	1	AGC 自動終了禁止設定 2													予備			
3	0	0	1														予備			
4	1	1	0	読出し開始	読出しライン選択	転送速度	ゲイン設定										読出しライン選択、転送速度ゲイン設定			
5	0	1	0	積分開始／終了	AGC 選択		出力モニタ選択					AGC 自動終了全禁止設定					積分開始／終了、AGC 選択、出力モニタ選択 AGC 自動終了全禁止設定			
6	1	0	0														予備用			
7	0	0	0					転送速度											ロジックリセット (デフォルト設定)	

## 【0051】

制御パラメータの実施例を、表 2、表 3 および表 4 に示した。

表 2 は制御コード番号 1 の内容であって、制御コード番号 1 は A G C 自動終了禁止設定 1 を表していて、制御パラメータは、ラインセンサ I 1～I 4-2 の中で禁止するモニタセンサ M 1～M 4 を指定している。制御コード番号 1 により禁止されたモニタセンサ M 1～M 4 および対応するラインセンサ I 1～I 4 は使用されない。なお、この実施形態では、全積分終了動作において積分終了処理される。

## 【0052】

【表 2】

制御コード 1	制御パラメータ																設定内容	
	4	5	6	7	8	9	10	11	12	13	14	15	16					
AGC 自動 終了禁止 設定 1	1	1	1	1	1	1	1	1	1	1	1	1	0	ISLAND 1-1 1-2 1-3 1-4 2-1 2-2 2-3 2-4 3-1 3-2 3-3 3-4 4-1				
	1	1	1	1	1	1	1	1	1	1	1	0	1					
	1	1	1	1	1	1	1	1	1	1	0	1	1					
	1	1	1	1	1	1	1	1	1	0	1	1	1					
	1	1	1	1	1	1	1	1	0	1	1	1	1					
	1	1	1	1	1	1	1	1	0	1	1	1	1					
	1	1	1	1	1	1	1	0	1	1	1	1	1					
	1	1	1	1	1	0	1	1	1	1	1	1	1					
	1	1	1	1	1	0	1	1	1	1	1	1	1					
	1	1	1	1	1	0	1	1	1	1	1	1	1					
	1	1	1	1	1	1	1	1	1	1	1	1	1					
	1	0	1	1	1	1	1	1	1	1	1	1	1					
	0	1	1	1	1	1	1	1	1	1	1	1	1					

## 【0053】

表 3 は制御コード番号 2 の内容であって、制御コード番号 2 は A G C 自動終了禁止設定 2 を表している。その制御パラメータは、ラインセンサ I 4-2～I 10-2 の中で A G C 自動終了禁止をするモニタセンサ M を指定している。つまり、この

制御コード番号 2 の制御パラメータで A G C 自動終了禁止が指定されたモニタセンサ M および対応するラインセンサ I については、使用されない。

【0054】

【表 3】

制御コード 2	制御パラメータ																設定内容	
	4	5	6	7	8	9	10	11	12	13	14	15	16					
AGC 自動 終了禁止 設定 2	1	1	1	1	1	1	1	1	1	1	1	1	0	ISLAND 4-2 5-1 5-2 6-1 6-2 7-1 7-2 8-1 8-2 9-1 9-2 10-1 10-2				
	1	1	1	1	1	1	1	1	1	1	1	0	1					
	1	1	1	1	1	1	1	1	1	1	0	1	1					
	1	1	1	1	1	1	1	1	1	0	1	1	1					
	1	1	1	1	1	1	1	1	0	1	1	1	1					
	1	1	1	1	1	1	1	0	1	1	1	1	1					
	1	1	1	1	1	1	1	1	1	1	1	1	1					
	1	1	1	1	1	0	1	1	1	1	1	1	1					
	1	1	1	0	1	1	1	1	1	1	1	1	1					
	1	1	1	1	1	1	1	1	1	1	1	1	1					
	1	0	1	1	1	1	1	1	1	1	1	1	1					
	0	1	1	1	1	1	1	1	1	1	1	1	1					

【0055】

表 4 は制御コード番号 5 の内容であって、制御コード 5 は、制御パラメータのビット 4 ～ 16 の内容に基づいて、積分開始／終了、A G C 選択、出力モニタ選択または A G C 自動終了全禁止を指定する。この実施例では、ビット 4 が 0 のとき積分開始、1 のとき積分終了を指定する。ビット 5 ～ 7 は M O D E 1 ～ M O D E 5 のいずれか一つを指定し、ビット 8 ～ 12 は、V R E F 出力と、ラインセンサ I 1-1 ～ I 10-2 のいずれかと、A G C 黒出力の中からいずれか一つを選択し、ビット 13 は 0 で A G C 自動終了全禁止を指定する。

【0056】

【表 4】

制御コード 5	制御パラメータ																設定内容
	4	5	6	7	8	9	10	11	12	13	14	15	16				
積分開始 ／終了	1 0											-	-	-	積分終了 積分開始		
AGC 選択  (*1)		1 1 1 0	1 1 0 0	1 0 0 1								-	-	-	Mode1 Mode2 Mode3 Mode4 Mode5		
出力モニタ 選択					1	1	1	1	1			-	-	-	VREF 出力		
					1	1	1	1	0			-	-	-	ISLAND 1-1		
					1	1	1	0	1			-	-	-	1-2		
					1	1	1	0	0			-	-	-	1-3		
					1	1	0	1	1			-	-	-	1-4		
					1	1	0	1	0			-	-	-	2-1		
					1	1	0	0	1			-	-	-	2-2		
					1	1	0	0	0			-	-	-	2-3		
					1	0	1	1	1			-	-	-	2-4		
					1	0	1	1	0			-	-	-	3-1		
					1	0	1	0	1			-	-	-	3-2		
					1	0	1	0	0			-	-	-	3-3		
					1	0	0	1	1			-	-	-	3-4		
					1	0	0	1	0			-	-	-	4-1		
					1	0	0	0	1			-	-	-	4-2		
					1	0	0	0	0			-	-	-	5-1		
					0	1	1	1	1			-	-	-	5-2		
					0	1	1	1	0			-	-	-	6-1		
					0	1	1	0	1			-	-	-	6-2		
					0	1	1	0	0			-	-	-	7-1		
					0	1	0	1	1			-	-	-	7-2		
					0	1	0	1	0			-	-	-	8-1		
					0	1	0	0	1			-	-	-	8-2		
					0	1	0	0	0			-	-	-	9-1		
					0	0	1	1	1			-	-	-	9-2		
					0	0	1	1	0			-	-	-	10-1		
					0	0	1	0	1			-	-	-	10-2		
					0	0	1	0	0			-	-	-	AGC黒出力		
AGC 自動 終了全禁止										1 0	-	-	-	全禁止			

## 【0057】

次に、この撮像素子61の積分動作について、図6に示した全体シーケンスに関するタイミングチャートを参照して説明する。

(a) ポート I S T から出力される通信設定選択パルスがローレベルに落ちて所定時間後にハイレベルに立ち上がる。通信設定選択パルスがローレベルに落ちている間に、ポート R S T から入力する通信 C K パルスに同期してポート D A T A から通信データを入力する。ここでは、C C D 焦点検出素子61のロジックをリセットする通信データ（制御コード番号7）を入力する。この通信データを受信した制御回路71は、ロジックをリセットするとともに、各ラインセンサIが蓄積した電荷を高速で掃き出させる。

## 【0058】

(b) 次に、ポート I S T の通信設定選択パルスがローレベルに落ちている間に、制御回路 7 1 はロジックを標準設定に設定する通信データ（制御コード番号 7）をポート D A T A から入力する。この通信データ（制御コード番号 7）を入力した制御回路 7 1 は、ロジックを標準設定に戻す。

#### 【 0 0 5 9 】

(c) 制御コード番号 1 または 2 の制御パラメータに対応する処理は、必要に応じて積分開始前に設定する。つまり、例えば制御パラメータで指定された A G C 自動終了を禁止するオートゲインコントローラ A G C（モニタセンサ M）を設定する。

#### 【 0 0 6 0 】

(d) ポート I S T の通信設定選択パルスがローレベルに落ちている間に、積分開始に関する通信データ（制御コード番号 5）を受信する。この通信データ（制御コード 5）を受信した制御回路 7 1 は、指定された M O D E 1 ～ M O D E 5 に対応するモニタセンサ M をリセットし、ポート S P をハイレベルに立ち上げてラインセンサ I に積分を開始させるとともに、積分開始をメイン C P U 3 1 に伝える。なお、本実施例では、ラインセンサ I は全て積分動作させる。

#### 【 0 0 6 1 】

(e) I S T 信号がハイレベルに立ちあがると、ポート T I N T のレベルをハイレベルに立ち上げる。積分が開始されると、ポート V O U T から択一的に出力されるモニタセンサ M のモニタ信号（出力電圧）は、時間の経過とともに上昇する。

A G C 自動終了禁止を設定していないモニタセンサ M のいずれかが所定の閾値に達すると、制御回路 7 1 から選択回路 7 3 を介してポート T I N T からローレベルの積分 O R 信号（第一の終了信号）がメイン C P U 3 1 のポート S I に出力する。

#### 【 0 0 6 2 】

(f) メイン C P U 3 1 は、ポート S I から積分 O R 信号（第一の終了信号）を入力すると、I S T 信号をポート C E から C C D 焦点検出素子 6 1 のポート I S T に出力する。C C D 焦点検出素子 6 1 の制御回路 7 1 は、入力した I S T 信

号によりモニタセンサMのモニタ信号の積分情報をラッチし、出力選択回路73からSOUT信号として出力する。モニタセンサMの積分終了状態を識別する信号は、積分中のモニタセンサMはハイレベル、積分終了したモニタセンサMはローレベルである。

#### 【0063】

(g) AGC自動終了を禁止していない全てのモニタセンサMの出力電圧が所定の閾値に達すると、選択回路74から積分AND信号が出力される。

#### 【0064】

(h) AGC自動終了禁止を設定していないラインセンサ、つまり使用するラインセンサI1～I10の中からいずれかが選択される。

#### 【0065】

(i) IST信号の立ち上がり同期して、選択したラインセンサI1～I10のいずれかの読み出しが開始され、出力選択回路70から画像信号がVOUT信号として出力される。そして、ポートSPからは、選択回路74を介してA/D同期信号が出力される。メインCPU31は、このA/D同期信号に同期して、入力したVOUT信号をA/D変換する。

#### 【0066】

以後、(h)、(i)の動作を、ラインセンサI1～I10のうち使用するラインセンサ全てについて任意の順番に実行し、全ての読み出しが終了すると、CCD制御が終了する。

#### 【0067】

図7には、上記(f)において、各モニタセンサMの積分終了情報をメインCPU31が入力する処理のタイミングチャートを示している。いずれかのモニタセンサMの出力が所定の閾値に達すると、制御回路71は、選択回路73を介してポートTINTから積分OR信号(ローレベル)を出力する。メインCPU31は、ポートSIから積分OR信号を入力すると、ポートCEをローレベルに落として、制御回路71のポートISTをローレベルに落とす。これにより制御回路71は、ポートRSTにパルスが入力される毎に順に、各モニタセンサMの積分終了情報を、ポートTINTから選択回路73を介して出力する。図示実施例

では積分終了情報を、ラインセンサ I1-1～I1-4、I2-1～I2-4、～I10-1、I10-2に対応するモニタセンサMの順に出力する。

#### 【0068】

メインCPU31は、最初にモニタセンサMの出力が閾値に達したことを制御回路71からの通信により検知できるので、通信を受けるまでの間は拘束されず、しかも被写体輝度が非常に高く、モニタセンサMの出力が極めて短時間で閾値に達した場合も、CCD撮像素子61の制御回路が71のロジックによって各モニタセンサMの出力を並列的に検知するので、全モニタセンサMの出力を正確に検知し、対応する各ラインセンサIについて正確な積分終了情報を得ることができる。

しかもこの実施形態では、同一のポートTINT、SI間の通信により、これらの積分終了情報を入力できるので、ポートを有効活用できる。

#### 【0069】

次に、このCCD焦点検出素子61のラインセンサIおよびモニタセンサMの使用パターンの実施例について説明する。各MODE1～5において使用するラインセンサIとモニタセンサMの対応の一例を、表5に示した。この表5において、「ALL」は、横ラインセンサI1～I3においてはそれぞれ4個全てのモニタセンサ(M1-1～M1-4)～(M3-1～M3-4)、縦ラインセンサI4～I10においてはそれぞれ2個全てのモニタセンサ(M4-1、M4-2)～(M10-1～M10-2)のうち、最初に積分終了したモニタを有効とする意味がある。

#### 【0070】

【表 5】

	基準ブロック (ST)				参照ブロック (ST)			
	ブロック1	ブロック2	ブロック3	ブロック4	ブロック1	ブロック2	ブロック3	ブロック4
Mode1	M1	M2	M3	M3	M1	M1	M2	M3
Mode2	M2	M2	M3	M3	M2	M2	M3	M3
Mode3	ALL	M2	M3	M4	M2	M3	M4	ALL
Mode4	ALL	ALL	M3	M4	M3	M4	ALL	ALL
Mode5	ALL	ALL	ALL	ALL	ALL	ALL	ALL	ALL

	基準ブロック (ST)		参照ブロック (ST)	
	ブロック1	ブロック2	ブロック1	ブロック2
Mode1	M1	M2	M1	M2
Mode2	M2	M2	M2	M2
Mode3	ALL	ALL	ALL	ALL
Mode4	ALL	ALL	ALL	ALL
Mode5	ALL	ALL	ALL	ALL

## 【0071】

図10～図12には、MODE1～3で使用する、CCD焦点検出素子61のラインセンサIおよびモニタセンサMの使用パターンを示している。これらの図において、太い破線で囲んだ領域が使用ブロックである。

## 【0072】

図10はMODE1に対応するMODE1パターンを示している。MODE1パターンでは、3本の横ラインセンサI1～I3は、それぞれ基準ブロックが1番目から3番目のブロック、参照ブロックが2番目～4番目のブロック、つまり横ラインセンサ基準領域(I1-1a～I1-3a)～(I3-1a～I3-3a)、横ラインセンサ参照領域(I1-2b～I1-3b)～(I3-2b～I3-3b)を使用し、それぞれの領域に対応する3個のモニタセンサ(M1-1～M1-3)～(M3-1～M3-3)を使用する。7本の縦ラインセンサI4～I10は、それぞれ全領域(1番目および2番目)、つまり縦ラインセンサ基準領域(I4-1a、I4-2a)～(I10-1a、I10-2a)、縦ラインセンサ参照領域(I4-1b、I4-2b)～(I10-1b～I10-2b)を使用し、モニタセンサも、それぞれ全領域に対応する全モニタセンサ(M4-1、M4-2)～(M10-1～M10-2)を使用する。

このMODE1パターンは、全てのセンサユニットを使用できるので、高精度の焦点検出を必要とする光学系、比較的大型の光学系に適している。

## 【0073】

MODE2に対応するMODE2パターンを図11に示した。このMODE2



パターンでは、3本の横ラインセンサI1～I3は、それぞれ基準ブロックは2番目と3番目の領域、つまり横ラインセンサ基準領域(I1-2a、I1-3a)～(I3-2a、I3-3a)、横ラインセンサ参照領域(I1-2b、I1-3b)～(I3-2b、I3-3b)を使用し、モニタセンサMはそれぞれ2番目、3番目の領域に対応する2個のモニタセンサ(M1-2、M1-3)～(M3-1、M3-2)を使用する。7本の縦ラインセンサI4～I10は、両端を除く5本の縦ラインセンサI5～I9について、それぞれ中央寄りの2番目の領域、つまり縦ラインセンサ基準領域(I5-2a)～(I9-2a)、縦ラインセンサ参照領域(I5-2b)～(I9-2b)を使用し、それぞれ2番目のモニタセンサM5-2～M9-2を使用する。

このMODE 2パターンは、中～小型の光学系に適している。

#### 【0074】

MODE 3に対応するMODE 3パターンを図12に示した。このMODE 3パターンでは、3本の横ラインセンサI1～I3について、それぞれ基準ブロックの2番目～4番目の領域、つまり横ラインセンサ基準領域(I1-2a、I1-4a)～(I3-2a、I3-4a)、横ラインセンサ参照領域(I1-1b、I1-3b)～(I3-1b、I3-3b)を使用し、それぞれの領域に対応する3個のモニタセンサ(M1-2、M1-4)～(M3-2、M3-4)を使用する。7本の縦ラインセンサI4～I10およびモニタセンサM4～M10は、いずれも使用しない。

このMODE 3パターンは、小型の光学系に適している。

#### 【0075】

以上の使用パターンは一例であって、MODE 4、5に対応する使用パターンなど、さらに種々の光学系に応じて使用パターンを設定することができる。

#### 【0076】

図8には、このMODE 1パターンに対応する、ファインダ視野上の焦点検出エリアの実施例を、図9にはAF光学系の実施例を示した。

クイックリターン15でAFセンサユニット60方向に反射した被写体光束は、コンデンサレンズ81で収束され、ミラー82で光路をほぼ撮影レンズの光軸と平行な方向に偏向され、赤外カットフィルタ83、補助レンズ84を通る。各焦点検出エリアに対応して一対の開口が形成されたセパレータマスク85の開口

を通してセパレートされた被写体光束が、セパレータレンズ 86 の各レンズによって、CCD 焦点検出素子 61 のラインセンサ I 上に被写体像を投影する。

#### 【0077】

次に、メイン CPU 31 が CCD 焦点検出素子 61 の制御回路 71 との間で実行する積分処理について、図 13 に示したフローチャートおよび図 6、図 7 に示したタイミングチャートを参照して説明する。この積分処理は、メイン CPU 31 が、ポート IST をローレベルに立ち下げ、チップイネーブル信号 CE を出力して通信することによって制御する。なお、以下本明細書において、ステップは「S」と略する。

#### 【0078】

積分処理に入ると、まず、メイン CPU 31 は、制御コード番号 1、2 の AGC 自動終了禁止設定 1、2 に対応するモニタセンサ M の AGC 禁止通信を行い（S101）、AGC モード選択通信を行う（S102）。本実施形態では、MODE 1～MODE 5 の 5 種類の AGC モードの中から選択可能に設定されている。この内、MODE 1～MODE 3 に対応するラインセンサ I のパターンは、図 10～図 12 に示した通りである。

#### 【0079】

次に、積分開始通信を実行するが、そのとき、ポート SP およびポート TINT はハイレベルに立ち上がる（S103）。この処理により、モニタセンサ M のモニタおよびラインセンサ I の積分が開始される。

#### 【0080】

次に、積分 OR 信号が出力されたかどうか（ポート TINT がローレベルに落ちたかどうか）、つまりいずれかのモニタセンサ M の出力信号が所定の閾値に達したかどうかをチェックする（S104）。積分 OR 信号が出力されていないときは（S104；N）、最短積分時間を更新して S109 に進む（S108、S109）。

#### 【0081】

積分 OR 信号が出力されていたときは（S104；Y）、積分終了情報通信を実行し（S105）、積分中の使用ブロック（ラインセンサ I）があるかどうか

をチェックする（S106）。なお、「使用ブロック」とは、AGC自動終了禁止がされていないラインセンサIが含まれるブロックのことを意味する。

積分中のブロックセンサが存在すれば（S106；Y）、積分中のブロックセンサの積分時間を更新してS109に進み（S107、S109）、積分中のブロックセンサが存在しなければ（S106；N）、そのままS109に進む（S109）。

上記S104～S108の処理は、積分時間を計測する処理である。計測した積分時間は、対数圧縮して、対数圧縮した積分時間をAGCレベル補正に使用する。

#### 【0082】

S109では、モニタ信号をA/D変換する。そして、積分時間に応じてAGCレベル補正をする（S110）。AGCレベル補正は、積分時間の長短にかかわらず、積分終了時の出力電圧を一定に保つための処理である。

#### 【0083】

全てのラインセンサIについての積分が終了したかどうか、つまりポートSPがローレベルに落ちて積分AND信号が出力されたかどうかをチェックする（S111）。積分が全て終了していなければ（S111；N）、使用ブロック（MODEナンバーに対応するラインセンサ）の積分が終了したかどうかを終了情報によりチェックする（S112）。使用ブロックの積分が終了していなければ（S112；N）、S104に戻ってS104～S111、S112の処理を繰り返す。

#### 【0084】

全てのラインセンサの積分が終了するか（S111；Y）、使用ブロックの積分が全て終了したら（S111；N、S112；Y）、積分終了通信を実行し（S113）、VOU T信号（Videoデータ）を入力し、ポートSP信号に同期してA/D変換し、この処理を終了する（S114、RET）。

この積分処理は、所定時間毎に繰り返し実行される。

#### 【0085】

VOU T信号とVMS信号との関係を、図14にグラフで示した。このグラフ

は、横軸が被写体の明るさのアベックス表示相当値  $E_v$ 、縦軸が  $VOUT$  信号を示している。

$VMS$  信号は、基準被写体輝度のときにモニタセンサ  $M$  が出力するモニタ信号が所定の積分終了値（閾値）になったときにラインセンサ  $I$  の積分値が所定の積分値になるように、本実施形態では増幅後の  $VOUT$  信号が所定値になるように調整されている。しかし、ラインセンサ  $I$  とモニタセンサ  $M$  は、積分時間が長くなる（被写体が暗くなる）に従って、 $VOUT$  信号が所定値よりも小さくなってしまう特性を持っている（図 15 (A)）。このままでは、高輝度の場合は高輝度部分の積分値が飽和してしまい、正確な位相差測定ができない。低輝度時には積分値が適正積分値よりも小さくなるので、 $CCD$  のダイナミックレンジを有効活用できなくなり、コントラストが得られなくなる。

#### 【0086】

そこで本実施形態では、被写体の明るさ、つまり積分時間の長短にかかわらず  $VOUT$  信号が所定値となるように、 $AGC$  の基準レベルとなる  $VMS$  信号を補正（調整）する（図 14 (B)）。 $S110$  がその補正処理であり、この積分時間補正による  $AGC$  レベル補正処理について、図 13 に示したフローチャートおよび図 14 を参照して説明する。

#### 【0087】

この  $AGC$  レベル補正処理は、アベックス表示値（対数值）である  $E_v = 12$  相当の明るさを基準の明るさとし、この明るさでの積分終了時間  $1mS$  ( $1024\mu S$ ) を基準として実際の積分時間を対数圧縮し、対数圧縮した時間に応じて、最大  $VOUT$  信号が一定になるように  $VMS$  信号を補正する。

#### 【0088】

この  $AGC$  レベル補正処理に入ると、まず、 $AGC$  基準値を設定する ( $S201$ )。この基準値は、基準値電圧  $VMS$  である。

次に、アベックス表示値に対応する  $E_v$  値を最大値に、本実施例では 16 に設定する ( $S202$ )。そして、積分時間が  $128\mu S$  以上かどうかをチェックする ( $S203$ )。以上であれば ( $S203; Y$ )、積分時間を  $1/2$  倍し ( $S204$ )、 $E_v$  値から 1 減算して  $S203$  に戻る ( $S205$ 、 $S203$ )。以上の

ループ処理を、積分時間が  $128\mu\text{S}$  未満になるまで繰り返す。このループ処理により、積分時間に応じた  $E_v$  値が求められる。なお、この実施形態では  $E_v$  値の初期値（最大値）を 16 に設定してあるので、積分時間が  $128\mu\text{S}$  未満、 $E_v$  16 以上の高輝度の場合は  $E_v$  値は 16 のままとなる。

#### 【0089】

積分時間が  $128\mu\text{S}$  未満のときは (S203; Y)、 $E_v'$  を、式  
 $(E_v - 12) - ((\text{積分時間} / 64\mu\text{S}) \text{の剰余}) / 64$   
により演算する (S206)。

この式により、S202～S205の処理で設定した現在の  $E_v$  値と基準  $E_v$  値 (12) との差を求めることができる。

#### 【0090】

そうして、基準電圧 VMS を、式  $VMS - E_v' \times \text{補正值}$  によって補正し (S207)、補正した基準電圧 VMS を D/A 変換して対応するオートゲインコントローラ AGC に印加してリターンする (S209、RET)。

#### 【0091】

この AGC レベル補正処理により、被写体の明るさにかかわらず適正積分値の出力が一定になるように基準電圧 VMS が調整されるので、各ラインセンサの最高出力電圧がカットされることなく、各ラインセンサのダイナミックレンジを有効に活用できる。

なお通常は、AGC レベル補正処理の各数値、例えば S201 の基準値電圧 VMS、S202 の  $E_v$  値、S203 の  $128\mu\text{S}$ 、S206 の係数などは、ラインセンサ I の特性等に応じて予め設定され、製造時に CCD 焦点検出素子 61 のメモリに書き込まれる。

#### 【0092】

以上の通り本発明の一実施形態である CCD 焦点検出素子 61 は、ラインセンサおよびモニタセンサからなるセンサセットを複数備え、使用するセンサセットを、メイン CPU 31 と CCD 焦点検出素子 61 が備えた制御回路 71 間の通信によって指定できるので、搭載するカメラの仕様、撮影光学系、焦点検出エリアの仕様に応じて、使用するラインセンサ、モニタセンサのセットを選択できる。

つまり、同一のCCD焦点検出素子61を、搭載する種々の機器の仕様に対応させることができる。

#### 【0093】

さらにこのCCD焦点検出素子61は、各ラインセンサを複数の領域として識別可能に、かつ各領域毎にモニタセンサを設けて、各領域毎にモニタセンサを制御できるので、より細かい多数のパターンで 사용할 ことが可能になった。

#### 【0094】

##### 【発明の効果】

以上の説明から明らかな通り本発明の焦点検出用素子は、複数のラインセンサと、各ラインセンサに隣接して設けられ、隣接したラインセンサの受光量をモニタするモニタセンサと、これらのラインセンサおよびモニタセンサを、予め設定された組み合わせで駆動制御する制御手段とが同一の回路基板上に設けられているので、使用するラインセンサおよびモニタセンサを任意に選択することが可能になり、同一構成の焦点検出用素子を、複数の異なる光学機器に使用することができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明のCCD焦点検出素子を搭載する一眼レフカメラの概要をブロックで示す図である。

#### 【図2】

本発明のCCD焦点検出素子のラインセンサの配置の実施形態を示す図である。

#### 【図3】

同CCD焦点検出素子上の制御回路の概略をブロックで示す図である。

#### 【図4】

同CCD焦点検出素子とカメラのCPU間の通信線を示す図である。

#### 【図5】

同CCD焦点検出素子の通信設定内容に関するタイミングチャートを示す図である。

**【図 6】**

同 CCD 焦点検出素子の全体動作に関するタイミングチャートを示す図である。

**【図 7】**

同 CCD 焦点検出素子の積分終了動作に関するタイミングチャートを示す図である。

**【図 8】**

同 CCD 焦点検出素子を使用した一眼レフカメラの焦点検出装置のファインダー像における焦点検出エリアの一実施例を示す図である。

**【図 9】**

同 CCD 焦点検出素子を使用した一眼レフカメラの焦点検出装置の AF 光学系の一実施例を示す図である。

**【図 10】**

同 CCD 焦点検出素子のラインセンサおよびモニタセンサの第 1 の使用例を示す図である。

**【図 11】**

同 CCD 焦点検出素子のラインセンサおよびモニタセンサの第 2 の使用例を示す図である。

**【図 12】**

同 CCD 焦点検出素子のラインセンサおよびモニタセンサの第 3 の使用例を示す図である。

**【図 13】**

同 CCD 焦点検出素子の積分処理をフローチャートで示す図である。

**【図 14】**

同 CCD 焦点検出素子の AGC レベル補正処理をフローチャートで示す図である。

**【図 15】**

同 CCD 焦点検出素子の AGC レベル補正処理前、処理後の被写体の明るさと出力電圧との関係をグラフで示す図である。

## 【符号の説明】

- 1 1 カメラボディ
- 1 3 メインミラー
- 1 4 ハーフミラー部
- 1 5 サブミラー
- 3 1 メインCPU
- 3 1 a ROM
- 3 1 b RAM
- 3 1 c 基準タイマー
- 3 1 d カウンタ
- 3 2 AFモータドライバ
- 3 3 AFモータ
- 3 4 ギアブロック
- 3 5 ジョイント
- 3 7 エンコーダ
- 3 8 EEPROM
- 5 1 撮影レンズ
- 5 2 焦点調節用レンズ
- 5 3 ギアブロック
- 5 5 ジョイント
- 5 7 レンズCPU
- 6 0 AFモジュール
- 6 1 CCD焦点検出素子
- 6 2 6 3 6 4 シフトレジスタ
- 6 2 1～6 2 3 シフトレジスタ
- 6 3 4～6 3 1 0 6 4 4～6 4 1 0 シフトレジスタ
- 6 5 電荷検出部
- 7 0 出力選択回路（出力選択手段）
- 7 1 制御回路（制御手段、検知手段）



7 2 モニタ出力選択回路（モニタ選択手段）

7 3 選択回路

7 4 選択回路

I ラインセンサ

I 1 I 2 I 3 横ラインセンサ

I 4 I 5 I 6 I 7 I 8 I 9 I 10 縦ラインセンサ

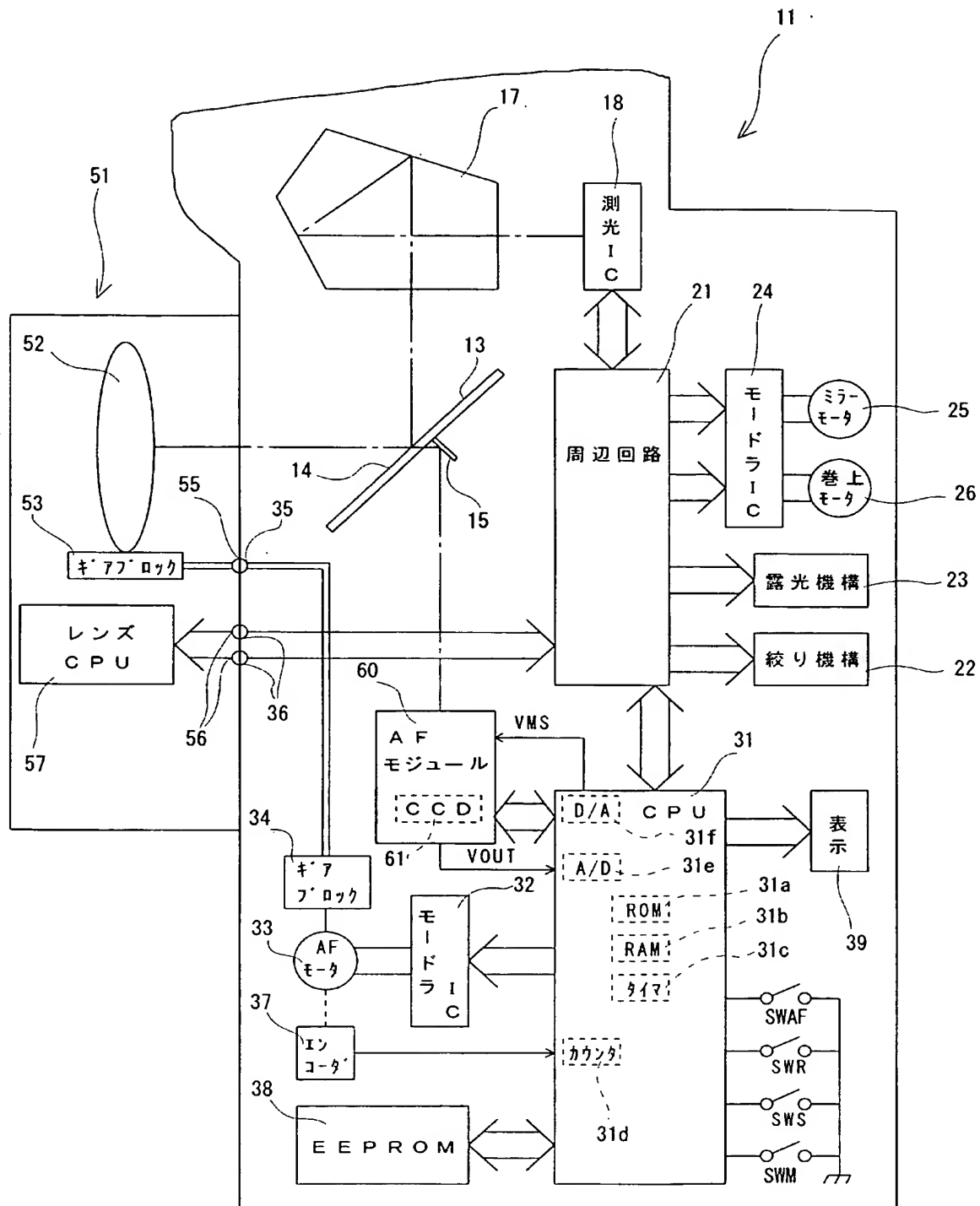
M モニタセンサ

M 1 M 2 M 3 M 4 M 5 M 6 M 7 M 8 M 9 M 10 モニタセンサ

【書類名】

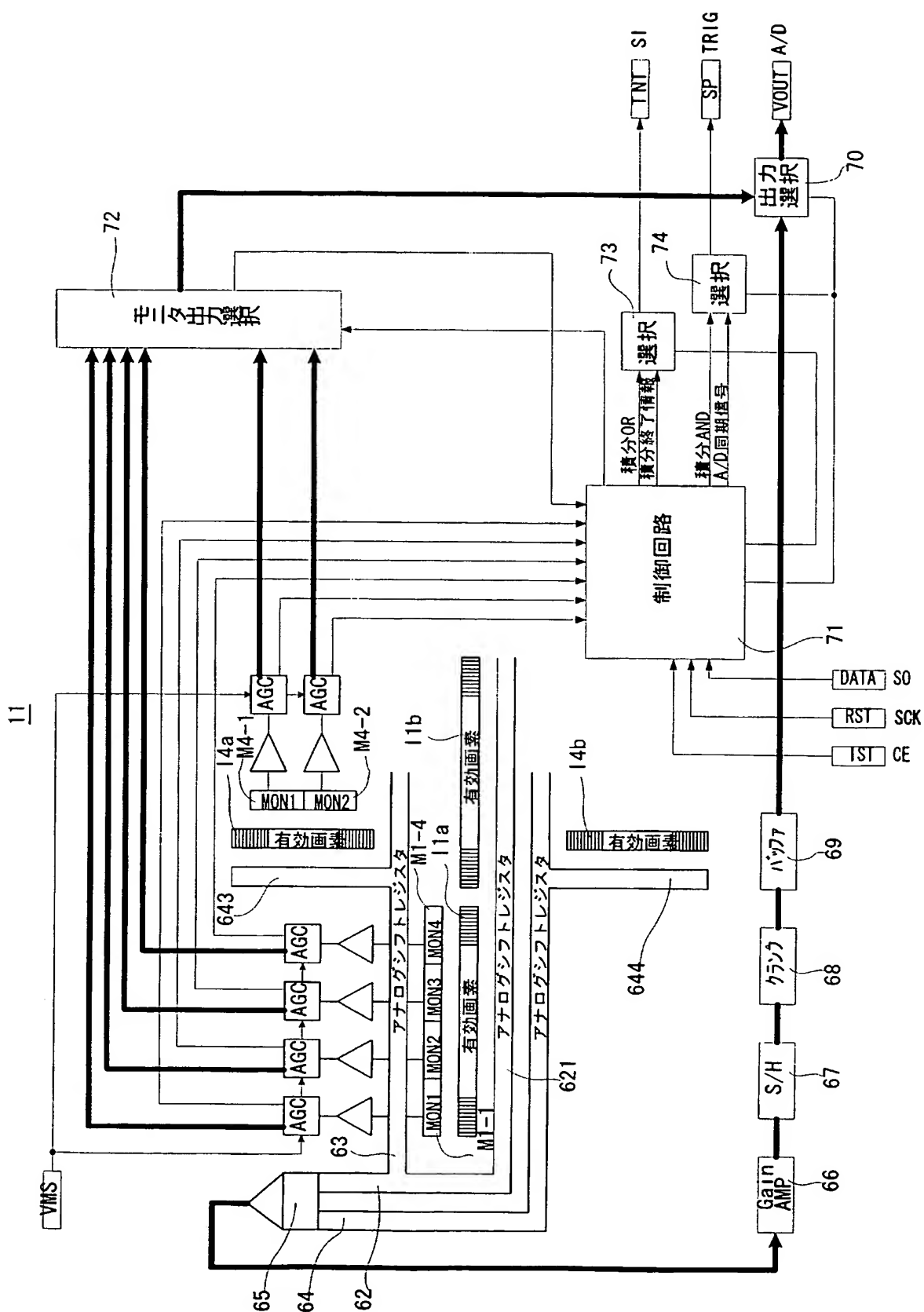
図面

【図 1】

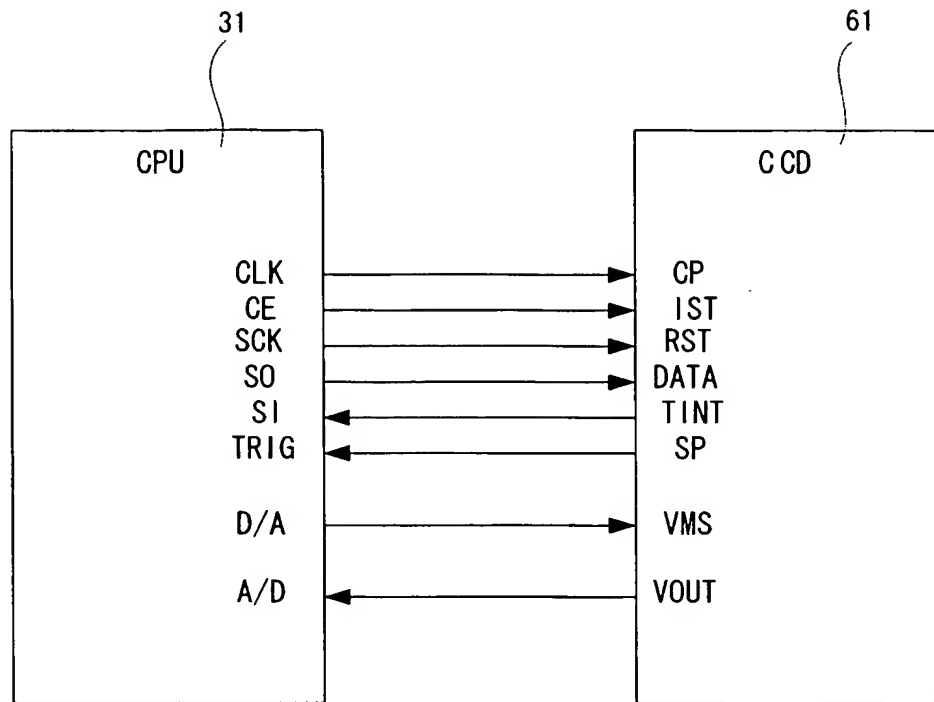




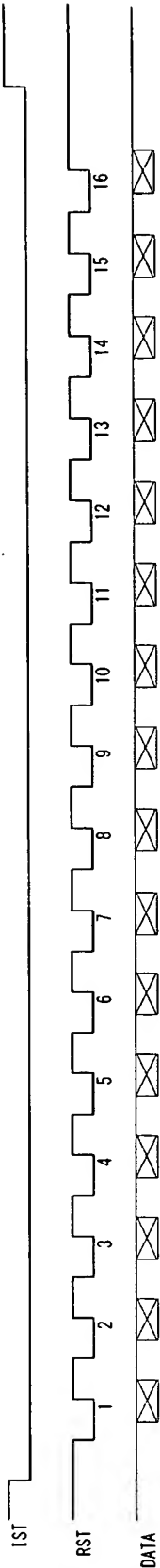
【図 3】



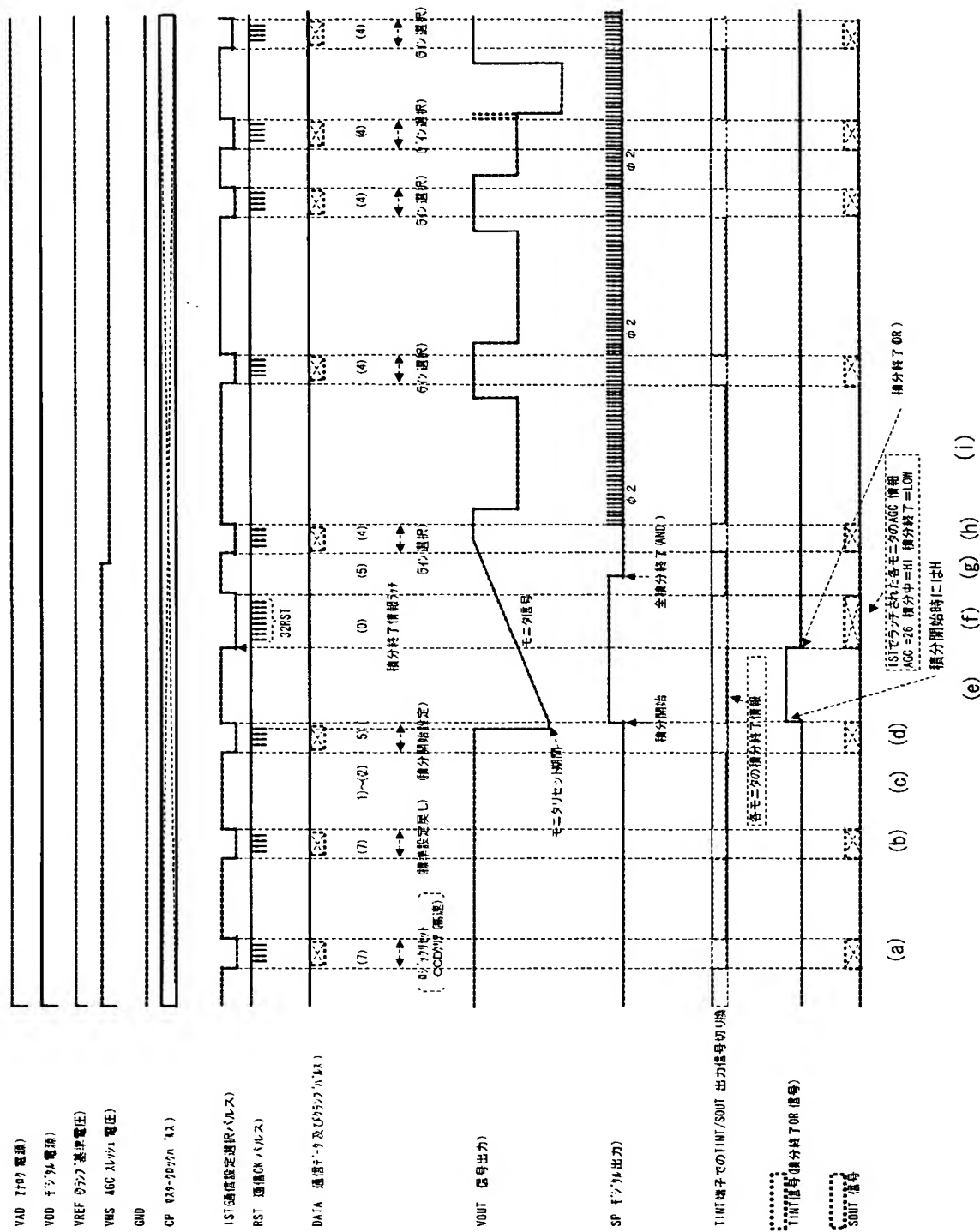
【図 4】



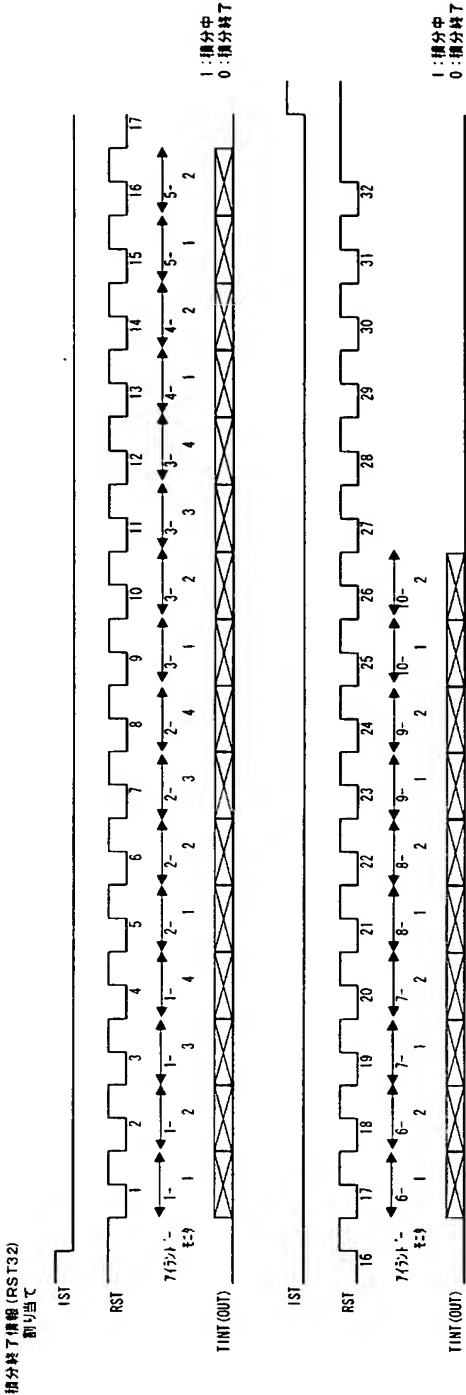
【図 5】



【図 6】

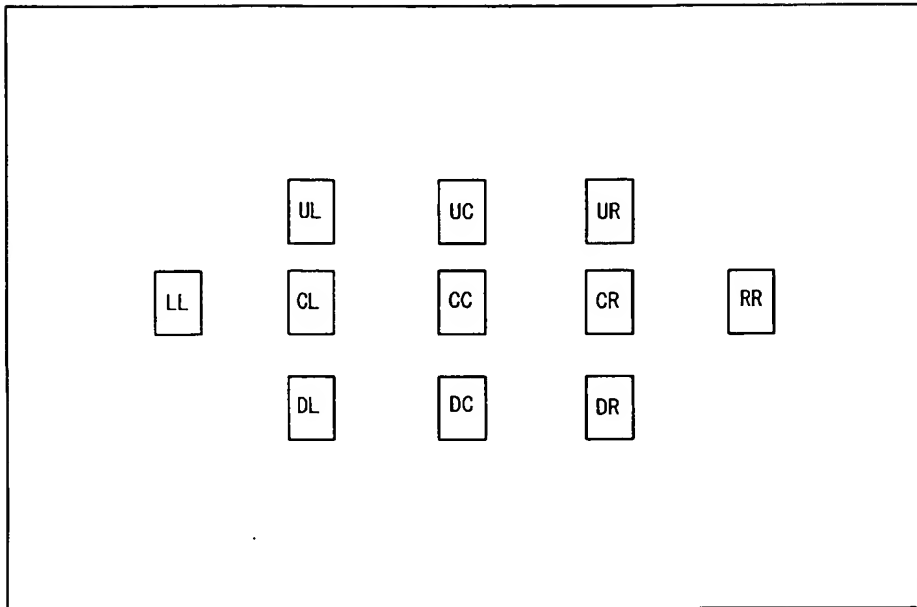


【図 7】

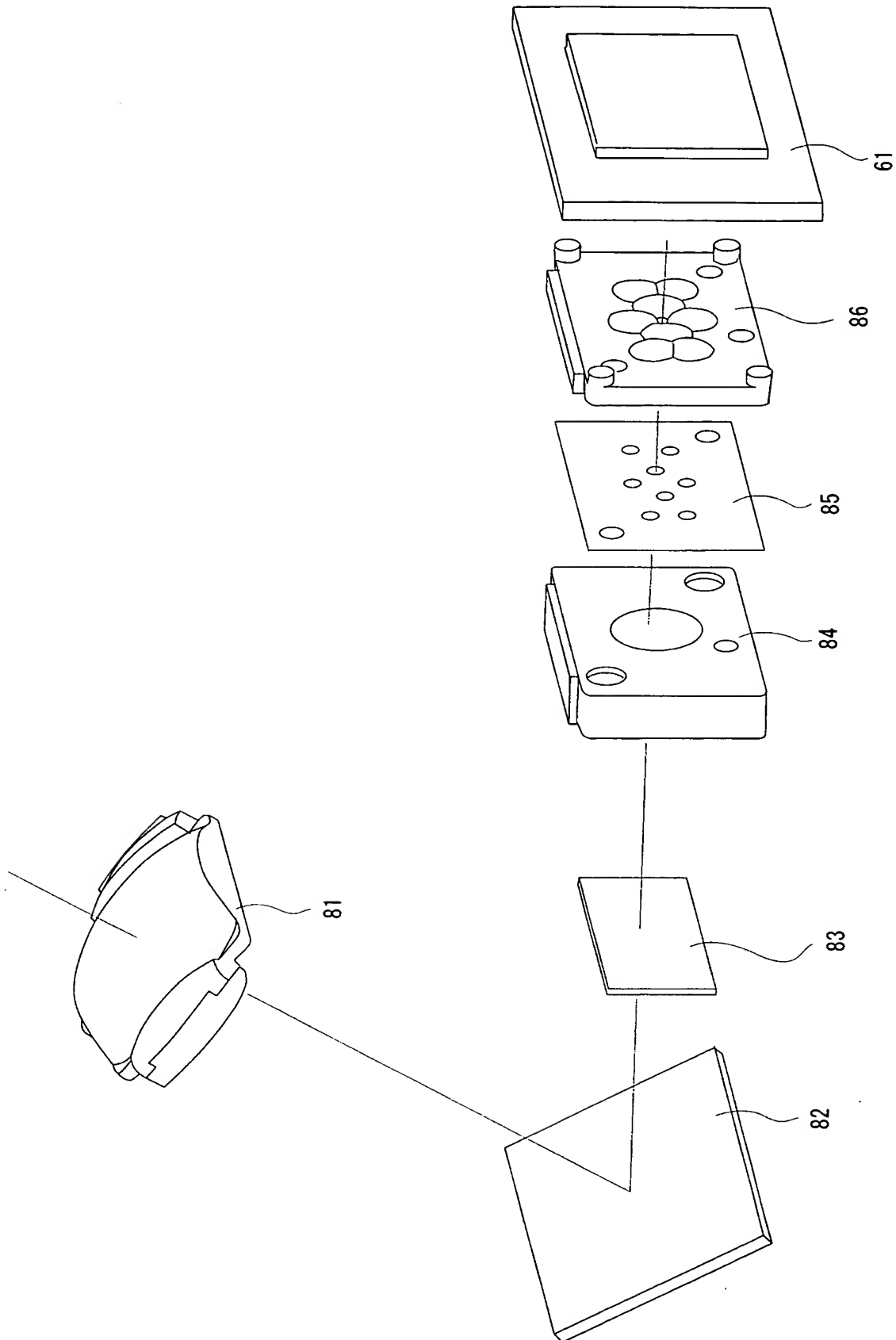




【図 8】

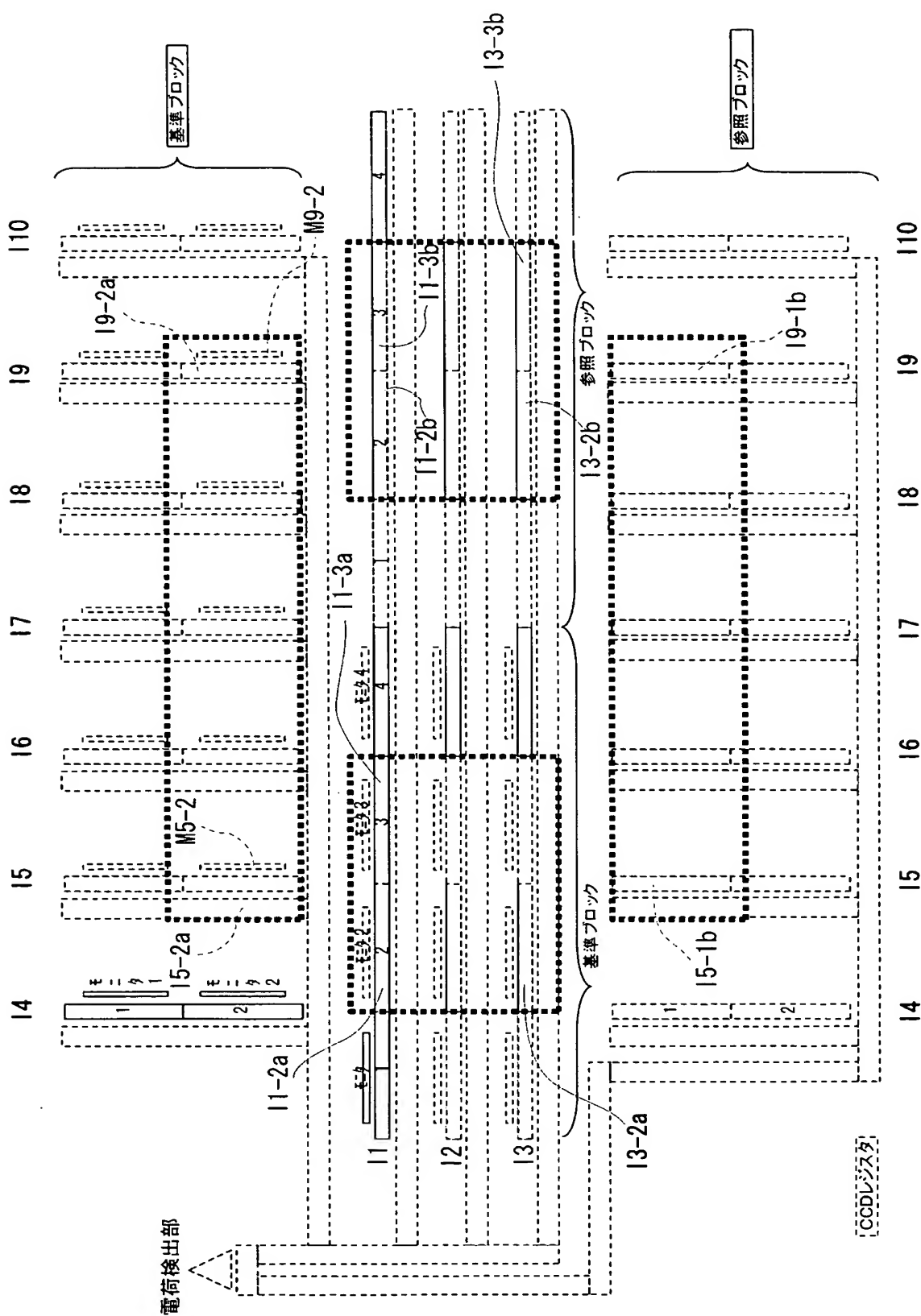


【図 9】

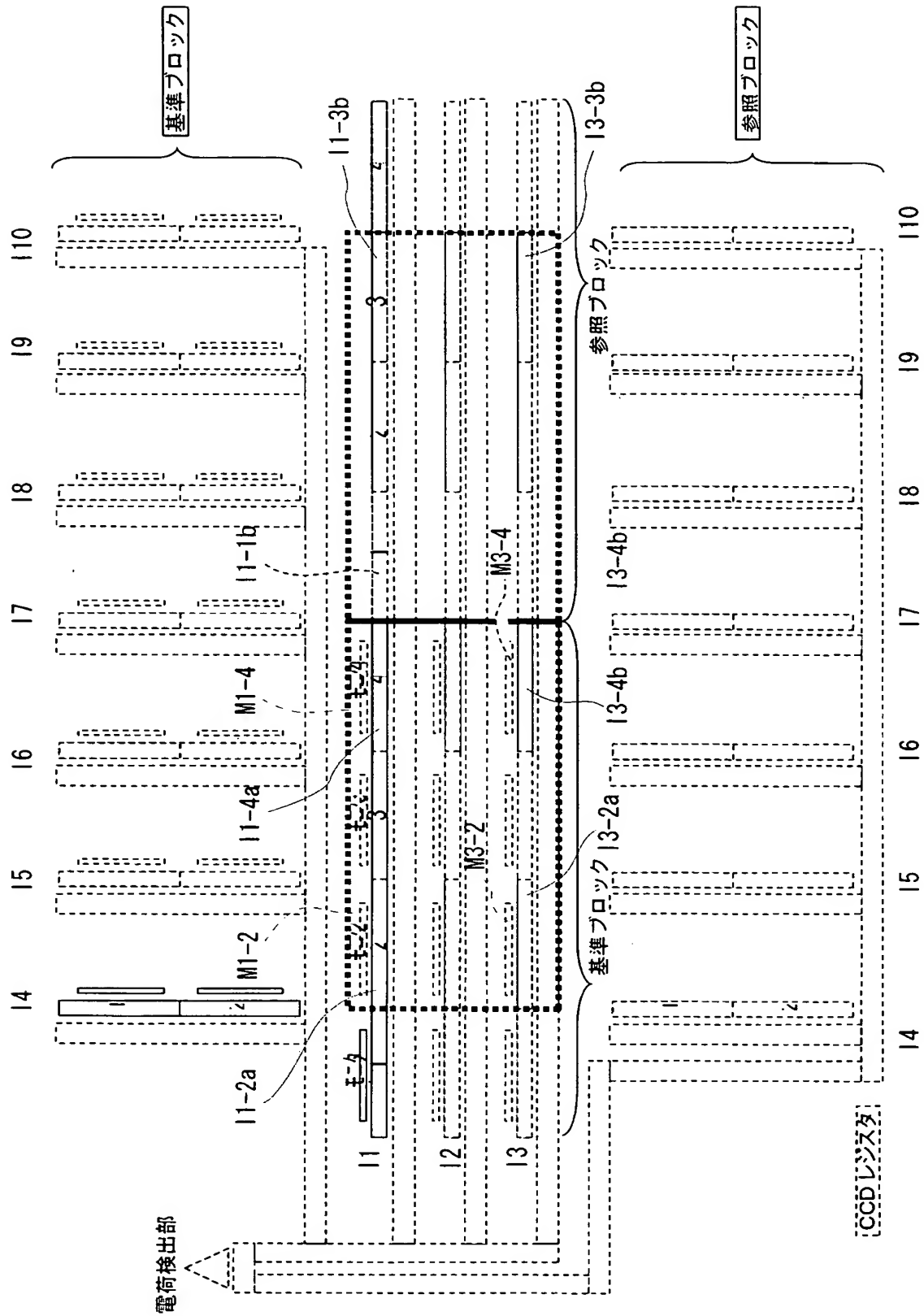




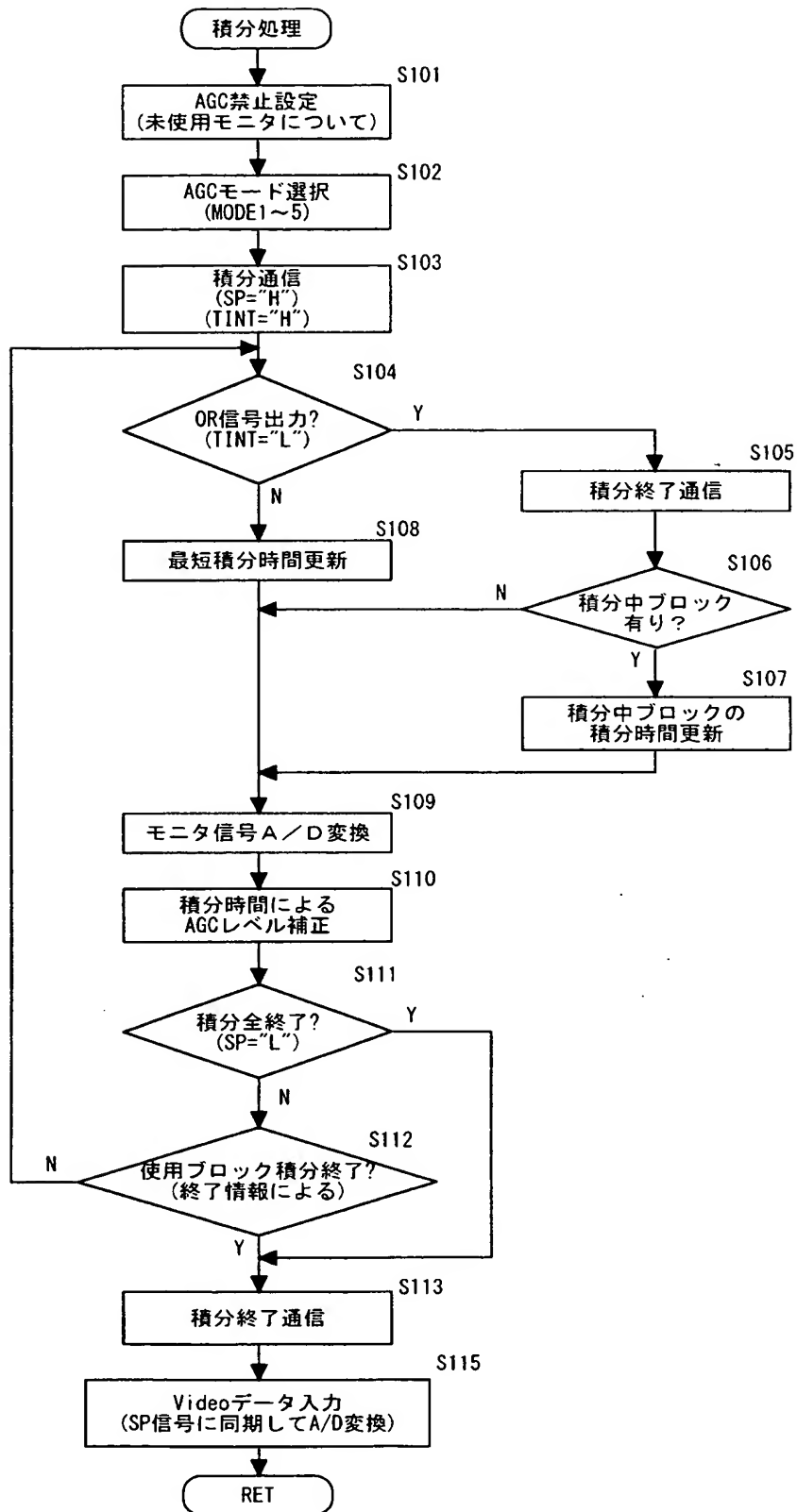
【図 11】



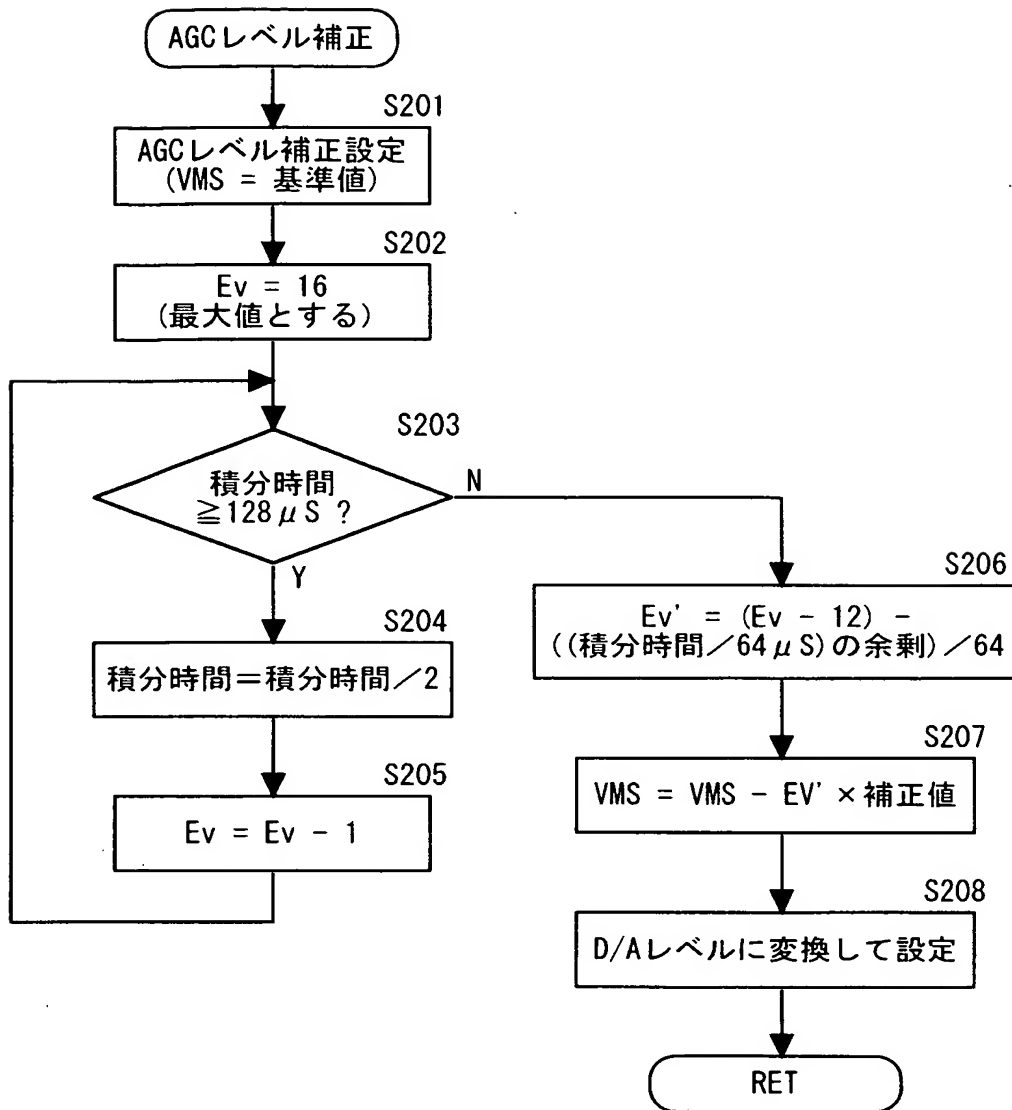
【図 12】



【図 13】

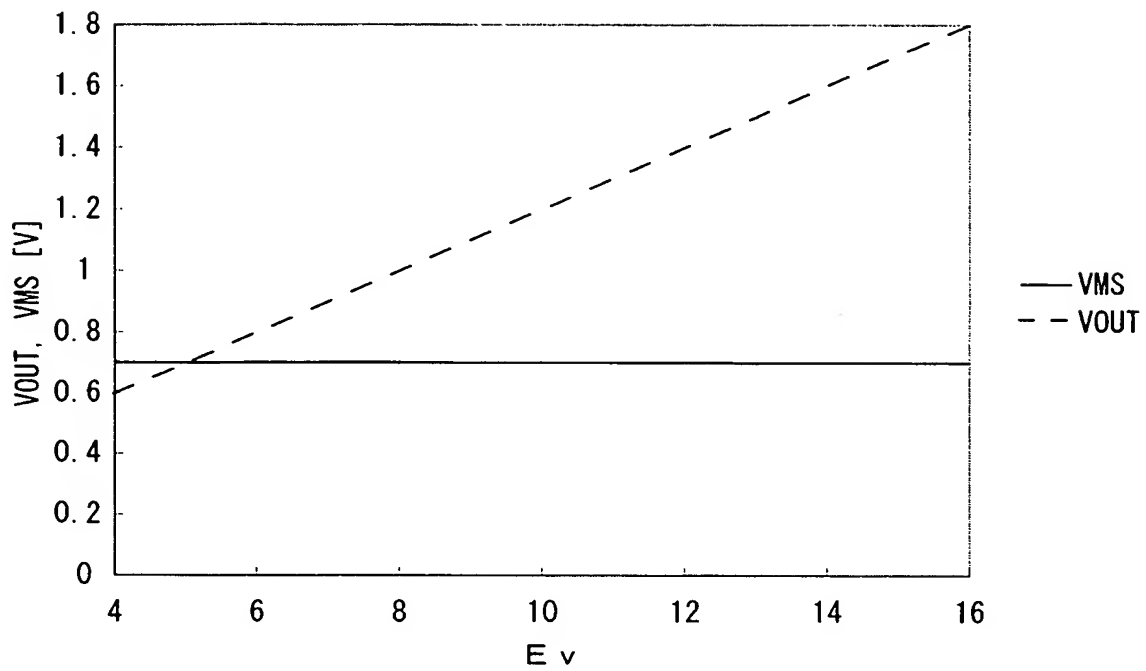


【図 14】

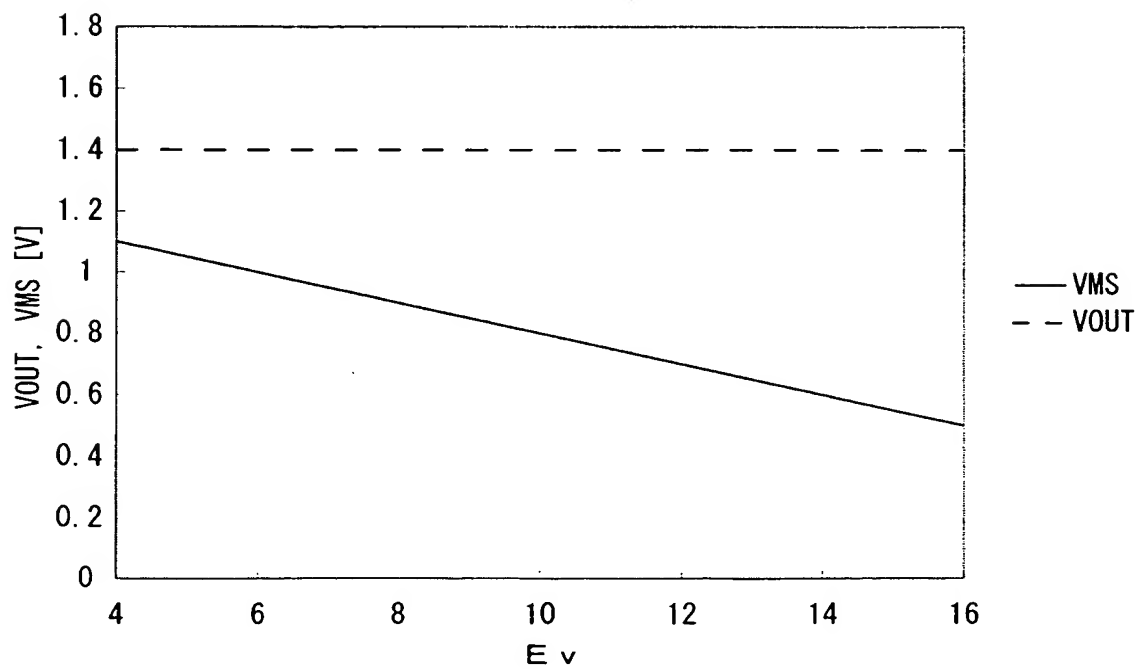


【図 15】

(A) 補正なし



(B) 補正あり





【書類名】 要約書

【要約】

【目的】 一種類で複数の光学系に対応させることができる焦点検出素子を提供する。

【構成】 複数のラインセンサ I と、各ラインセンサ I に隣接して設けられ、隣接したラインセンサの受光量をモニタするモニタセンサ M と、これらのラインセンサ I およびモニタセンサ M を、任意の組み合わせで駆動制御する制御回路 71 とを同一の回路基板上に備えた。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 0 2 0 2
受付番号	5 0 3 0 0 2 5 8 1 3 9
書類名	特許願
担当官	北原 良子 2 4 1 3
作成日	平成 1 5 年 2 月 2 0 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月18日

次頁無

特願 2 0 0 3 - 0 4 0 2 0 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 5 2 7 ]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

名称変更

住 所

東京都板橋区前野町 2 丁目 3 6 番 9 号

氏 名

ペンタックス株式会社